**Основные** **законы** **булевой** **алгебры**

Математический аппарат, описывающий действия цифро-вых устройств, базируется на алгебре логики, автором которой считается английский математик Дж. Буль (1815–1864 гг.). В практических целях первым применил его американский ученый К. Шеннон в 1938 г. при исследовании электрических цепей с контактными выключателями.

В алгебре логики имеется четыре основных закона:

31

1. ***Переместительный***, или закон *коммутативности* для операций сложения и умножения соответственно:

*A+B* *=* *B+A*; *AB* *=* *BA.*

2. ***Сочетательный***, или закон *ассоциативности* для сло-жения и умножения соответственно:

(*A* *+* *B*)*+C* *=* *A+* (*B* *+* *C*); (*AB*)*C* *=* *A*(*BC*)*.*

3. ***Распределительный***, или закон *дистрибутивности* для сложения и умножения соответственно:

(*A+B*)*C* = *AC* + *BC*; (*AB*)+*C* = (*A* *+* *C*) (*B* *+* *C*).

4. Закон ***двойственности*** или *инверсии* (*правило* *де* *Морга-на*) сложения и умножения соответственно:

*À* *Â* *À*⋅*Â;* *ÀÂ* *À**Â* .

Справедливость этих законов можно доказать с помощью таблиц истинности сложных логических связей, описываемых законом, или с помощью логических преобразований.

Для преобразований логических выражений пользуются лег-ко доказываемыми тождествами, вытекающими из принципа рабо-ты простейших логических элементов (аксиомы алгебры Буля):

*Х+*1=1; *Х·*1*=Х*; *X* ⊕1*X* ;

*X+*0*=Х*; *X*·0=0; *X* ⊕0 *=Х*;

*X+X=Х*; *X·X=Х*; *X* ⊕*X=*0;

*X* *X* 1; *X* ⋅*X* 0; *X* ⊕*X* 1.

С помощью законов алгебры логики и тождеств могут быть

доказаны соотношения, получившие названия правил: поглощения *A* *+AB* *=* *A*,

*A*⋅(*A* *+B*) *=* *A*

32

и склеивания

*A*⋅*B* *A*⋅*B* *A,*

(*A* *B*)(*A* *B*) *A*.

Эти правила широко используют для преобразования пере-ключательных функций с целью их упрощения.

Из правила де Моргана вытекают следствия:

*A* *B* *A*⋅*B,*

*A*⋅*B* *A* *B,*

с помощью которых появляется возможность выражать дизъюнк-цию через конъюнкцию и отрицание, а конъюнкцию — через дизъюнкцию и отрицание. Законы двойственности справедливы для любого числа переменных.

В булевой алгебре при отсутствии в выражении скобок вво-дится следующий порядок действий: первыми выполняются опе-рации отрицания, далее — конъюнкции, затем — дизъюнкции. Наличие в выражении скобок изменяет обычный порядок дейст-вий: в первую очередь должны выполняться операции внутри скобок.

Записанная ранее в СДНФ логическая функция трех перемен-ных (3.2) может быть представлена в виде (ей соответствует схема устройства на рис. 3.1, *в*):

*F* *C*(*AB**AB*)*AB*(*C* *C*) *C*(*A*⊕*B*)*AB*.

Набор логических элементов И*,* ИЛИ*,* НЕ называют ***основ-ным*** ***базисом*** или основной функционально полной системой элементов. Последнее означает, что с помощью этих элементов можно реализовать устройство, осуществляющее сколь угодно сложную логическую операцию. Каждый из элементов И-НЕ и ИЛИ-НЕ также обладает функциональной полнотой.

Базисы И-НЕ и ИЛИ-НЕ называют *универсальными*. Эти ба-зисы приобрели важное значение в связи с широким использова-нием интегральных логических элементов при построении логи-ческих устройств.

Структуры логических элементов НЕ, И, ИЛИ, построенных из элементов И-НЕ, приведены на рис. 3.3.

33

|  |  |  |  |
| --- | --- | --- | --- |
| х | | & | у = х |
|  |  |
|  |
|  |

а)

*б*)

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| х1 | & |  | | | |
| х2 |  | | & | у = х1х2 |
|  |  |
|  |  |
|  |
|  | | |

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| х1 | | & |  |  | | | у = х1∨х2 |
| х2 |  |
|  |
|  |  | & |  |
|  | | |  |
|  |
|  | & |  |  |
|  |
|  |  |  | | |
|  | | | |
|  |

*в*)

Рис. 3.3 — Реализация схем: НЕ (*а*); И (б); ИЛИ (*в*)

Схема *отрицания* НЕ реализована на использовании сле-дующего соотношения:

y x⋅x x .

Схема *логического* *умножения* использует принцип двойной инверсии:

y x1 x2 x1 ⋅x2.

Схема *логического* *сложения* двух сигналов базируется на использовании закона отрицания:

y x1 x2 x1 ∨x2.

Связующим звеном между реальным элементом и его пере-ключательной функцией служит полярность логики. Различают положительную и отрицательную логику. При положительной логике в качестве логической единицы принят высокий уровень сигнала, при отрицательной логике — низкий уровень сигнала. Из принципа дуальности следует, что одно и то же логическое выражение может быть представлено двояко, например,

y = x 1 x 2 и y x1 ∨x2.

Это значит, что один и тот же элемент будет реализовывать с точки зрения положительной логики функцию конъюнкции, а с точки зрения отрицательой логики — дизъюнкцию.

В дальнейшем в качестве единицы будет принят высокий уровень напряжения (положительная логика).

***Минимизация*** *—* процесс приведения булевых функций к такому виду, который допускает наиболее простую, с наимень-шим числом элементов, физическую реализацию функции. Част-ная задача минимизации булевой функции сводится к такому

34

представлению заданной функции, которое содержит наимень-шее возможное число букв и наименьшее возможное число опе-раций над ними, так как каждой элементарной логической функ-ции соответствует определенный физический элемент.

Оценить различные представления одной и той же булевой функции, например ДНФ, можно по количеству входов логиче-ских элементов, реализующих заданную функцию. Для миними-зации переключательных функций применяют различные мето-ды: последовательного исключения переменных с помощью за-конов алгебры логики, с использованием диаграмм Венна, карт Карно (Вейча) и др.

**3.5** **Диаграммы** **Венна**

Логические функции можно отобразить на диаграммах Вен-на. Пусть левый круг (рис. 3.5) соответствует области прямых

Логический 0

Переменная *А*

*АВ*

Логическая 1

Переменная *В*

*А+В*

*X* *Y*

*АВ* *А* ⊕*В*

*Z*

Рис. 3.5 — Диаграммы Венна

35

значений переменной *А*, правый — области прямых значений пе-ременной *В*. Тогда область, образующаяся при пересечении кру-гов, соответствует логическому произведению *АВ*. Область, обра-зующаяся при наложении кругов, соответствует логической сум-ме *А* *+* *В*. Часть круга *А*, куда не входит *В*, соответствует логиче-

скому произведению *AB*. Операции неравнозначности соответ-

ствует область, занимаемая двумя сегментами: *AB* и *AB*.

С помощью диаграмм Венна легко доказывается справедли-вость логических тождеств. Для этого надо убедиться, что левой и правой частям записанных логических выражений соответству-ет одинаковое отображение на диаграмме Венна. Так, при нало-жении круга *А* и сегмента *АВ* мы сохраняем отображение круга *А*, т. е. *А+АВ* *=* *А*. При наложении отображения *A* ⊕*B* и сегмента *АВ* получаем отображение логической суммы *А* *+* *В*, т. е. *A* ⊕*B* + *АВ* *=* *А+В*. Если в области *А+В* исключить сегмент *АВ*, то получим отображение операции «Исключающее ИЛИ», т. е.

*AB*(*А+В*) *=* *A* ⊕*B.*

Для доказательства тождества *XY* *XZ* *XY*(*X* *Z*) удобно воспользоваться диаграммой Венна для логической функции трех переменных. Если в области *X+Z* исключить сегмент *XY*, полу-чим отображение правой части выражения. Оно совпадает с ото-бражением левой части, получаемым путем наложения сегментов

*XY* *XZ*.

**3.6** **Карты** **Карно**

Для упрощения логических функций трех и четырех пере-менных удобно использовать карты Карно (рис. 3.6, *а* и 3.6, *в*). Карта Карно представляет собой прямоугольную таблицу, каждая клетка которой соответствует определенному набору таблицы ис-тинности (рис. 3.6, *б* и 3.6, *г*). На карте фиксируют область пря-мых значений переменных и значение логической функции для каждого набора (0,1 или Х, если функция на данном наборе не определена).

Карта Карно на рис. 3.6, *в* соответствует логической функ-ции *F*, заданной выше словесно и с помощью таблицы истинно-

36

сти. Булева функция четырех переменных *Y* (рис. 3.6, *а*) на четы-рех наборах принимает значение 1, на восьми наборах — 0, на четырех наборах — не определена (такие наборы иногда называ-ют факультативными, они обозначены как Х).

*Y* *a*

*ab*

*cd* 00 01 11 10

*c*

|  |  |  |  |
| --- | --- | --- | --- |
| 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 |
| 0 | 0 | Х | X |
| 1 | 0 | X | Х |

00 *d* 01

11 *а*) *б*) 10

|  |  |  |  |
| --- | --- | --- | --- |
| 0 | 4 | 12 | 8 |
| 1 | 5 | 13 | 9 |
| 3 | 7 | 15 | 11 |
| 2 | 6 | 14 | 10 |

*b*

*F* *A* C

*AB*

00 01 11 10

*C*

|  |  |  |  |
| --- | --- | --- | --- |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 |

0 *в*) *г*) 1

|  |  |  |  |
| --- | --- | --- | --- |
| 0 | 2 | 6 | 4 |
| 1 | 3 | 7 | 5 |

*B*

Рис. 3.6 — Карты Карно для логических функций трех (*F*) и четырех переменных (*Y*)

Карта Карно определяет значение функции на всех возмож-ных наборах аргументов и, следовательно, является копией таб-лицы истинности. Карты Карно компактны и удобны для поиска склеиваемых членов переключательной функции СДНФ. Объяс-няется это тем, что два любых минтерма, находящихся в клетках, расположенных рядом друг с другом, являются соседними. Они могут быть заменены одной конъюнкцией, содержащей на одну переменную меньше. Группа из четырех минтермов, располо-женных в соседних клетках, может быть заменена конъюнкцией, содержащей на две переменные меньше. В общем случае группа из 2*k* соседних клеток будет заменена одной конъюнкцией с *n* *–* *k* аргументами при общем числе переменных, равном *n*.

Правила записи минимизированного выражения для логиче-ской функции по карте Карно:

1) выделяются блоки (замкнутые прямоугольные области, содержащие 1, 2, 4, 8 клеток), заполненные единицами;

37

2) блоки должны быть возможно большими, а их количество наименьшим;

3) левая и правая, а также верхняя и нижняя строки карты считаются соседними;

4) блоки могут пересекаться, т. е. одна и та же клетка может входить в несколько блоков;

5) на факультативных наборах функция может доопреде-ляться произвольно (на тех наборах, где стоят Х), чтобы получить наиболее крупные блоки;

6) функция записывается в виде логических произведений (ЛП), описывающих выделенные блоки;

7) переменная не включается в ЛП, если блок областью ее прямых значений делится пополам;

8) переменная включается в ЛП с инверсией, если рассмат-риваемый блок лежит в области ее инверсных значений;

9) при группировке в блоки клеток, заполненных нулями, по тем же правилам получаем инверсное значение логической функции.

Логическая функция *F* (см. рис. 3.6) описывается совокуп-ностью трех блоков (каждый блок включает группу из двух мин-термов):

*F* *=* *AB* *+* *BC* *+* *AC.* (3.3) С использованием формулы двойственности ее можно пре-

образовать в вид, удобный для реализации в базисе И-НЕ (рис. 3.7, *а*):

*F* *AB*⋅*BC*⋅*AC*. (3.4) Логическая функция четырех переменных *Y* описывается

совокупностью двух блоков (четыре угловые клетки считаются соседними):

*Y* *abd* *b*⋅*d* *.*

*А*

*В*

*С*

|  |  |
| --- | --- |
|  | &  &  & |
|  |
|  |

|  |  |
| --- | --- |
|  | & |
|  |

*а*

*a* & *b*

*d* *F*

1

|  |  |
| --- | --- |
|  | 1 |
|  |

*б*

*Y*

Рис. 3.7 — Реализация логических функций *F* и *Y*

38

На рис. 3.7, *б* приведен пример ее реализации, учитываю-щий преобразование к виду

*Y* *abd* *b**d* *.*

**3.7** **Этапы** **синтеза** **цифрового** **устройства**

При синтезе комбинационного цифрового устройства на ло-гических элементах можно рекомендовать следующий порядок:

1) формируется словесное условие задачи (определяется, что именно должно делать разрабатываемое устройство, уточняется алгоритм его работы);

2) составляется таблица истинности для логической функ-ции, реализуемой устройством, и записывается функция в СДНФ;

3) проводится минимизация логической функции с помощью карты Карно, диаграммы Венна или законов булевой алгебры;

4) функция преобразуется в вид, удобный для реализации на заданной элементной базе;

5) разрабатывается принципиальная схема цифрового уст-ройства на логических элементах выбранной серии интегральных микросхем. Микросхемы логических элементов будут рассмот-рены в следующей главе.

Результат синтеза не является однозначным, поэтому вари-антов построения цифрового устройства может быть несколько. Следует стремиться к более простому решению поставленной за-дачи.

В следующем параграфе рассмотрены примеры синтеза комбинационных цифровых устройств на логических элементах ТТЛ (серия К155) и ТТЛШ (серия К555). При проектировании таких устройств надо четко представлять, каким образом форми-руются входные сигналы и как используются выходные сигналы.

**3.8** **Примеры** **синтеза** **цифровых** **устройств**

***Пример*** ***3.5.*** Реализовать устройство с четырьмя входами, логическая функция которого задана таблицей истинности (рис. 3.8, *в*).

39

*С*

*A*

|  |  |  |  |
| --- | --- | --- | --- |
|  | |  | |
| 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 |

*D*

|  |  |  |  |
| --- | --- | --- | --- |
| 0 | 4 | 12 | 8 |
| 1 | 5 | 13 | 9 |
| 3 | 7 | 15 | 11 |
| 2 | 6 | 14 | 10 |

*B* *а* *б*

*A*

|  |  |
| --- | --- |
| &  & | 1 |
| &  & |

*B* *F* *C*

*D*

*г*

Рис. 3.8 — Реализация устройства

на микросхеме К555ЛР3 *в*

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| *n* | *A* | *B* | *C* | *D* | *F* |
| 0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 | 0 0 0 0 0 0 0 0 1 1 1 1 1 1 1 1 | 0 0 0 0 1 1 1 1 0 0 0 0 1 1 1 1 | 0 0 1 1 0 0 1 1 0 0 1 1 0 0 1 1 | 0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1 | 1 1 1 1 1 0 0 0 1 1 0 0 0 0 0 0 |

*Решение.* Представим логическую функцию, реализуемую устройством, в виде соответствующей ей карты Карно (рис. 3.8, *а*). На рис. 3.8, *б* представлена таблица соответствия ее клеток набо-рам таблицы истинности.

Организовав блоки по нулям (блоки *АВ* и *BD* выделены на карте Карно пунктирной линией), запишем минимизированное выражение для логической функции по карте Карно:

*F* *AB* *BC* *AC* *BD*,

которое легко реализовать на микросхеме К555ЛР3 (рис. 3.8, *г*). Если блоки организовать по единицам, то их число умень-

шается до трех, но требуются дополнительные инверторы: *F* *A*⋅*B* *B*⋅*C* *A*⋅*C*⋅*D*.

***Пример*** ***3.6.*** На микросхемах серии К155 спроектировать утроитель частоты напряжения трехфазной сети. Напряжение каждой фазы с помощью нуль-компараторов приведено к уровню

40

ТТЛ (входной сигнал равен логической 1, когда синусоидальное напряжение фазы положительно).

*Решение.* Алгоритм работы устройства отображают времен-ные диаграммы входных (*А,* *В,* *С*) и выходного (*F*) сигналов для одного периода *T* сетевого напряжения (рис. 3.9, *а*). Заполним кар-ту Карно для единичных и нулевых тактов сигнала *F* (рис. 3.9, *б*). На двух наборах функция не определена (в трехфазной сети на-пряжения трех фаз не могут быть одновременно положительными или отрицательными). Организуя блоки по нулям, получаем

*F* *AB**BC* *AC* или *F* *AB**BC* *AC* .

*A* *А* *A* *B*

*C* *C* *B* *B*

|  |  |  |  |
| --- | --- | --- | --- |
| X | 1 | 0 | 1 |
| 1 | 0 | X | 0 |

*F* *а* *б* *C*

*Т*

Рис. 3.9

|  |  |  |  |
| --- | --- | --- | --- |
|  | | &  &  &  & | 1 |
|  |  |
|  |

*в*

Наиболее просто эта функция реализуется на микросхе-ме К155ЛР3 (рис. 3.9, *в*). Хотя бы на один из входов неисполь-зуемого элемента И надо подать логический 0, так как неподклю-ченный вход ТТЛ ведет себя как вход с уровнем логической 1.

***Пример*** ***3.7.*** В трехэтажном доме лестничная клетка освеща-ется одной общей лампочкой. На каждом этаже есть выключате-ли: *S*1, *S*2, *S*3. Спроектировать устройство включения и выклю-чения освещения любым из выключателей, независимо от поло-жения остальных.

*Решение.* Пусть *А*, *В* и *С* — сигналы на входе логической части устройства (замкнутому контакту выключателя соответст-вует уровень логического 0, а разомкнутому — уровень логиче-ской 1), *F* — сигнал на выходе логической части устройства (*F* = 0, когда лампа горит). Заполним таблицу истинности, связы-вающую эти переменные (рис. 3.10, *а*). Запишем выходную функцию в СДНФ и попытаемся ее минимизировать, проводя простейшие преобразования полученной функции:

41

*F* *ABC* *ABC* *ABC* *ABC* *A*(*BC* *BC*)*A*(*BC* *BC*) или *F* *A*(*B*⊕*C*)*A*(*B*⊕*C*) *A*⊕*B*⊕*C*.

*A* *B* *C* *F*

|  |  |
| --- | --- |
|  | =1 |
|  |

0 0 0 0 *S*1

0 0 1 1

0 1 0 1 *S*2 0 1 1 0

1 0 0 1 *S*3 1 0 1 0

1 1 0 0 1 1 1 1

*A*

*B*

*C*

50

*DD*1.1 *VD*3

*DD*1.2

=1 *VD*1

*VD*2 *+*5 В 100

*а* *б* ~ 220 В Рис. 3.10

Логическая часть устройства (рис. 3.10, *б*) реализована на микросхеме *DD*1 (К155ЛП5). В корпусе этой микросхемы разме-щено четыре элемента «Исключающее ИЛИ». Последовательно с осветительной лампой включен симистор *VD*3 (ТС 122-25-4 или КУ208Г), который управляется оптронными парами *VD*1, *VD*2 (АОУ103А1). Ток через светодиоды пар выбран равным 10 мА (максимально допустимый ток в выходной цепи логического элемента в состоянии логического нуля — 16 мА).

**3.9** **Мажоритарный** **логический** **элемент**

Идея мажоритарного резервирования — построение устрой-ства, от которого требуется высокая надежность, в виде трех идентичных устройств, выходные сигналы которых объединяют-ся с помощью мажоритарных элементов. В этом случае выход из строя одного из устройств не приведет к появлению неправиль-ных сигналов на выходе мажоритарного элемента, так как они будут определяться сигналами двух исправных устройств. Если каждое из устройств разбить на несколько блоков, между кото-рыми встроить мажоритарные элементы, можно еще более повы-сить надежность устройства в целом. Для систем мажоритарного

42

|  |  |  |
| --- | --- | --- |
|  | А В С  А В С  А В С  ЕС | ≥2  ≥2  ≥2 |
|  |

Рис. 3.11 — Микросхема КР1533ЛП3

резервирования специально разработана микросхема КР1533ЛП3 (рис. 3.11), кото-рая содержит три мажоритарных элемен-та, имеющих дополнительный вход управления *ЕС*. При *ЕС* = 0 выходной сигнал каждого элемента равен 1, в слу-чае если не менее чем на двух из трех входов *А,* *В,* *С* действует единичный сиг-нал. При *ЕС* = 1 на выход проходит сиг-нал со входа *С* независимо от сигналов на других входах.